

# METHOD OF CONTROLLING HIGH-VOLTAGE POWER SOURCE

Publication number: JP2003111400

Publication date: 2003-04-11

Inventor: KASAHARA SHIGERU

Applicant: CANON KK

Classification:

- international: **H02M3/28; H02M3/24**; (IPC1-7): H02M3/28

- European:

Application number: JP20010300549 20010928

Priority number(s): JP20010300549 20010928

[View INPADOC patent family](#)

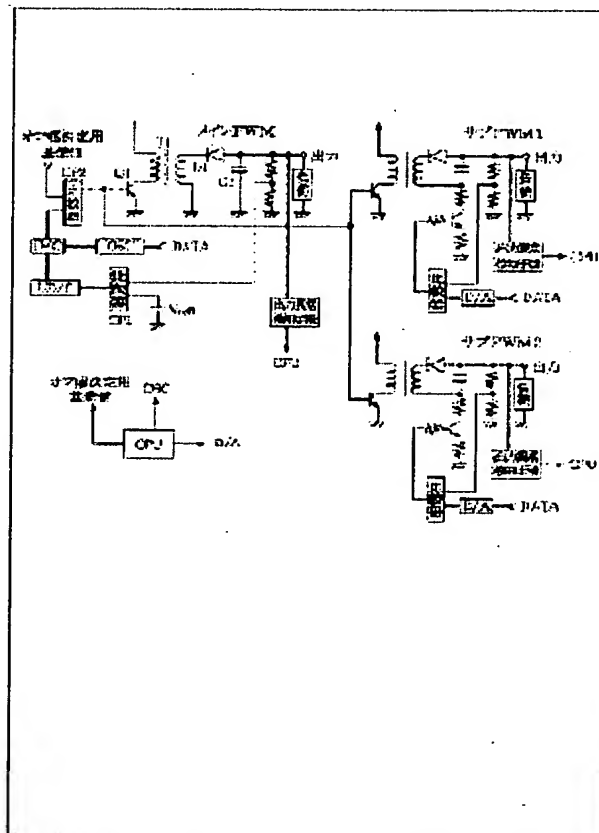
[View list of citing documents](#)

[Report a data error here](#)

## Abstract of JP2003111400

**PROBLEM TO BE SOLVED:** To materialize soft recovery at automatic recovery by performing protective action when the output of a high-voltage power source controlled by a sub-PWM system is abnormal.

**SOLUTION:** In a power source which outputs a high voltage by the switching of pulse width control (PWM), the power source is equipped with a high-voltage transformer, a transistor for driving it, a high-voltage transformer's secondary output rectification and smoothing circuit, and a sub PWM circuit which is equipped with a high output voltage detection means and an output abnormality detection means and controls the output to be a constant voltage by comparing the detected voltage by the high output voltage detection means with the voltage generated by a D/A converter for the generation of a reference voltage, and this suppresses the output by lowering the frequency of an oscillator, thereby narrowing the pulses to be supplied to a transistor for drive of a high-voltage transformer when the output abnormality detection means detects an output abnormality.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-111400

(P2003-111400A)

(43) 公開日 平成15年4月11日 (2003. 4. 11)

(51) Int.Cl.<sup>7</sup>

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

デマコト\* (参考)

C 5 H 7 3 0

W

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2001-300549 (P2001-300549)

(22) 出願日 平成13年9月28日 (2001. 9. 28)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 笠原 繁

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

Fターム (参考) 5H730 AA12 AA16 AA20 AS04 BB23

BB43 BB57 BB84 BB88 DD02

EE02 EE07 EE18 EE59 FD01

FF02 FF09 FG05 FC08 FG25

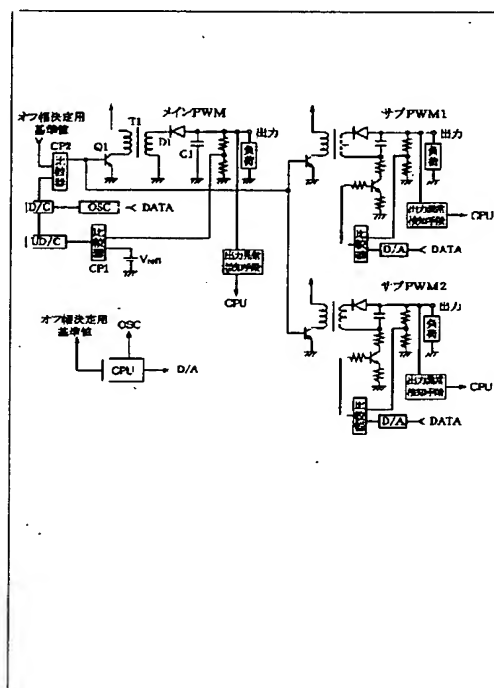
XX03 XX12 XX23 XX44 XX45

(54) 【発明の名称】 高圧電源制御手法

(57) 【要約】

【課題】 サブPWM方式で制御される高圧電源出力が異常である時に保護動作を行い、自動復帰時にはソフトリカバリーを実現する。

【解決手段】 パルス幅制御 (PWM) のスイッチングによって高圧を出力する電源において、高圧トランスと、それを駆動するトランジスタと、高圧トランスの二次側出力整流平滑回路と、高圧出力電圧検知手段と、出力異常検知手段とを備え、高圧出力電圧検知手段による検知電圧と基準電圧生成用D/A変換器によって作られた電圧とを比較して、出力を定電圧制御するサブPWM回路とを備え、出力異常検知手段が出力異常を検知するとメイン高圧トランス駆動用トランジスタに供給するパルスを発振器の周波数を下げることで狭めて出力を押さえることを特徴とする。



## 【特許請求の範囲】

【請求項1】 パルス幅制御（PWM）のスイッチングによって高圧を出力する電源において、  
第一の高圧トランスと、前記第一の高圧トランスを駆動する第一のトランジスタと、前記第一の高圧トランスの二次側出力を整流平滑する第一の整流平滑回路と、第一の高圧出力電圧検知手段と、出力の異常状態を検知する為の第一の出力異常検知手段とを備え、前記高圧出力電圧検知手段によって検知された出力電圧と制御基準電圧とを第一の比較手段で比較し、その比較結果を元にPWM制御を

行うメインPWM回路と、第二の高圧トランスと、前記第二の高圧トランスを駆動する第二のトランジスタと、前記第二の高圧トランスの二次側出力を整流平滑する第二の整流平滑回路と、第二の高圧出力電圧検知手段と、出力の異常状態を検知する為の第二の出力異常検知手段とを備え、前記第二の高圧出力電圧検知手段によって検知された出力電圧と基準電圧生成用D/A変換器によって作られた電圧とを比較して、出力を定電圧制御するサブPWM回路とを備え、前記第一又は第二の出力異常検知手段が出力異常を検知すると前記第一の高圧トランス駆動用トランジスタに供給するパルスを発振器の周波数を下げることで狭めて出力を押さえることを特徴とする。

【請求項2】 請求項1の高圧電源において出力異常を検知して発振器の周波数を下げて出力を一旦押さえると、発振器の周波数を徐々に上げてゆくことでソフトに復帰する事を特徴とする。

【請求項3】 請求項1の高圧電源において出力異常を検知して発振器の周波数を下げて出力を一旦押さえると、発振器の周波数を徐々に上げてゆくことでソフトに復帰し、出力復帰時に異常が続いていた場合、再び同様の動作を行い、これを規定回数繰り返すと発振器出力を停止する事で電源を停止する事を特徴とする。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は高圧電源の制御方法に関する。

## 【0002】

【従来の技術】パルス幅制御でマルチ出力の高圧電源の代表的な回路例を図4に示す。短周期で出力電圧をモニターして入力側のスイッチングを制御することで目標の出力を精度良く出力できるメインPWMの系と、メインPWMで生成されたスイッチングパルスを使用して入力側のスイッチングトランジスタをスイッチングし、出力電圧を検出した結果と目標となる基準電圧とをメインPWMよりも遅い周期で比較して、その結果に応じて出力側に接続されたトランジスタをスイッチして出力電圧をラフに制御するサブPWMの系を備え、通常部品点数削減等の理由から、高精度を要求される出力に対するひと

つのメインPWMと、その他の出力の為の複数のサブPWMとを備えた構成をとっている。

【0003】回路動作を説明すると、トランジスタQ1を断続的にスイッチングすることで高圧トランスT1をドライブし、出力側にあらわれた高圧パルスを整流（D1）、平滑（C1）することで高圧DC出力を生成する。高圧出力を検出抵抗によって検出し、抵抗分圧された値と、設計の目標値Vref1とを比較器CP1で比較する。基準値Vref1に対して出力電圧が高いのか低いのかをCP1の出力値によって判断し、出力が高い場合にはアップダウンカウンタUD/Cは出力値を前回の出力値から一つダウンし、逆に低い場合には一つアップさせる。図5に波形を示す。UD/Cからの出力値は図中n1、n2、n3…で示される。発振器OSCの出力はダウンカウンタD/Cに接続され、D/CはOSCからの出力の周期時間sごとにUD/Cからの出力値をひとつずつ減らしてゆく。このカウンタからの出力値は比較器CP2に入力され、CPUからのオフ幅決定用の基準値mと比較される。カウンタ出力に対してオフ幅決定用基準値が小さい場合にはパルスはオン、逆の場合はオフとすることで、オフ幅が常に一定、オン幅可変のPWM出力が実現される。図中下部の方形波がCP2の出力を示している。

【0004】次にサブPWMを説明すると、比較器の基準電圧はメインPWMの数周期に一度出力の状態によって決定され、この基準電圧と出力電圧の検出値との比較によって、トランス二次側に接続されたトランジスタのON、OFFを行い出力電圧の微調整を行う。トランスドライブの為の駆動パルスは回路簡略化の為メインPWMの出力パルスを共通で使用する。

【0005】出力をモニターして過電圧、過電流等の異常を検出した場合には従来UD/Cの出力値を操作して出力を低下させている。一旦出力が低下すると異常検知から外れるため、次回のUD/Cの出力時には規定値を出力しようとしてハードな立ち上がりとなる。

## 【0006】

【発明が解決しようとする課題】高圧電源の出力が異常となった場合、電圧が高いこともあり、最悪にはオペレーターの感電や火災の危険などもはらんでいる。従来の回路では異常検知後、自動復帰する際にハードな立ち上がりとなり、サージ電圧や突入電流が問題となるケースも考えられる。また、UD/Cの出力値を徐々に増やしてゆくソフトスタートも考えられるが、この場合でも発振器の発振周期に依存した段々のスタートであり、緩やかなソフトスタートを細かく設定する事ができない。

## 【0007】

【課題を解決するための手段】本発明では上記の課題を解決するため出力の異常を検知するとUD/Cの出力値ではなく、発振器の発振周波数とPWMのオフ幅設定用基準値を変化させることで出力を低下させ、自動復帰で

は二つのパラメーターを変化させる事でソフトに復帰することを特徴とする。

#### 【0008】

【発明の実施の形態】（実施形態1）図1は本発明の第一の実施形態を示す回路ブロック図、図2は保護動作時の各部波形を示している。

【0009】過電圧や過電流等の出力異常を異常検知回路が検出すると、情報はCPUに送られる。CPUは出力が異常であると判断し、OSCの発振周波数を規定値まで下げ、PWM出力のオフ幅は一定値を保つようにOSCの発振周波数に応じた値まで上昇させる。この動作によりUD/Cの出力値nが一定であるとする、sが短くなることで三角波の下りの勾配が大きくなり、mが上昇することでT<sub>off</sub>は一定に保たれるので、デューティDが狭まり、出力が低減される。

【0010】出力が低減されると、異常状態から外れるので、CPUは正常状態に復帰しようとして以下のように動作する。

【0011】一旦規定値まで下げられたOSCの発振周波数は正常状態に復帰した時点で即正常時と同様の周波数に復帰させるのではなく、正常状態に復帰させるまで一定の時間を設けてリニアに増加させてゆく。また、この時オフ幅を決定する為の基準値mはオフ幅を一定とすべく、OSCの発振周波数の増加と同期して値を減少させる。

【0012】この動作によってパルス幅は徐々に増加してゆくの、ソフトに出力を復帰させることができる。また、周波数の増加の度合いと正常状態までの復帰時間をソフトウェアで設定できることからきめ細かくソフトリカバリーの設定をすることが可能である。

【0013】（実施形態2）図3に実施形態2の回路ブロック図を示す。

【0014】異常を検知して保護動作で一旦出力が低下し、実施形態1のようにソフトリカバリーで復帰しても、一時的な異常であればそのまま復帰して問題ないが、部品の故障等の理由で恒久的な不具合が発生した場合には実施形態1の形態では異常を検知して出力が低下し、その後復帰しようとするが、出力が出始めるとまた異常を検知して出力が低下し、といった間欠動作を繰り返すこととなる。

【0015】そこで、本実施形態では、カウンタをひとつ設けて異常を検知して出力を低下させた回数をカウン

トする方式をとることとする。

【0016】回路の動作としては出力に異常が発生して検知されるとOSCの発振周波数が下がり、T<sub>off</sub>決定用基準値が上昇してデューティが狭まり出力が低下する。規定値まで低下した後、異常状態から外れる為に正常状態に復帰しようとする。この時OSCの発振周波数とオフ幅決定用の基準値を徐々に変化させてソフトリカバリーを実施する。ここで装置の異常状態が継続した場合には、出力が復帰しても再び異常を検知してOSCの発振周波数を低下させて保護動作に入る。追加したカウンタは異常状態を検知してCPUへ異常であることが知らされた段階でカウントを行い、これが規定回数続くとOSCの発振を停止する。

【0017】このカウンタでのカウントは出力電圧を検出して規定値まで電圧が下がると行ってもよいし、CPUからOSCに周波数を下げる命令が出るときに行ってもよい。

【0018】また、規定回数カウントされてOSCの出力を停止する時、装置の操作部等にエラー信号やメッセージを表示してオペレーターに異常を知らせることも可能である。

#### 【0019】

【発明の効果】保護回路動作時に発振器出力を変化させることで保護動作をする事が可能であり、自動復帰時にはきめ細かいソフトリカバリーの設定が可能となる。

#### 【図面の簡単な説明】

【図1】実施形態1の回路図。

【図2】実施形態1の保護動作を示す波形。

【図3】実施形態2の回路図。

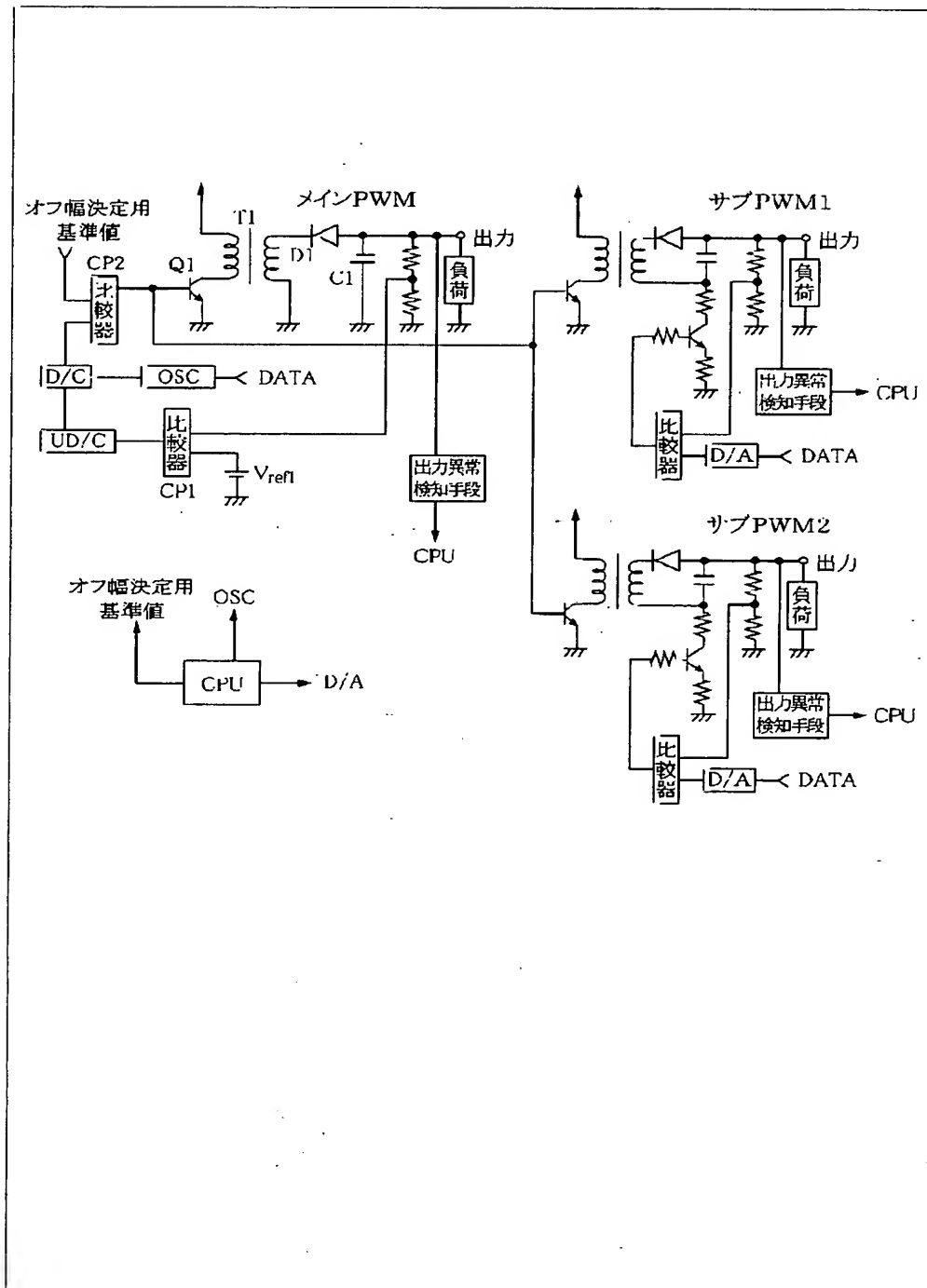
【図4】従来例の回路図。

【図5】従来例の動作を示す波形。

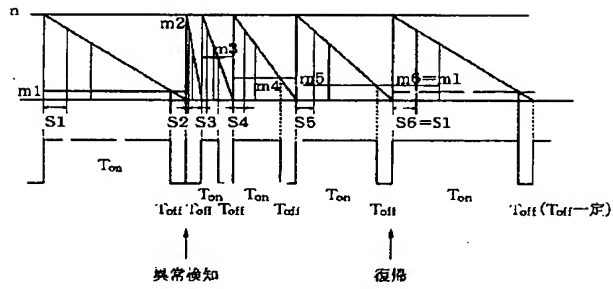
#### 【符号の説明】

C1 メインPWM回路内の出力側平滑コンデンサ  
D1 メインPWM回路内の出力側整流ダイオード  
D/A デジタル／アナログ変換機  
D/C ダウンカウンタ  
OSC 発振器  
Q1 メインPWM回路内のスイッチングトランジスタ  
T1 メインPWM回路内の高圧トランス  
UD/C アップダウンカウンタ  
V<sub>ref1</sub> 出力電圧制御基準電圧

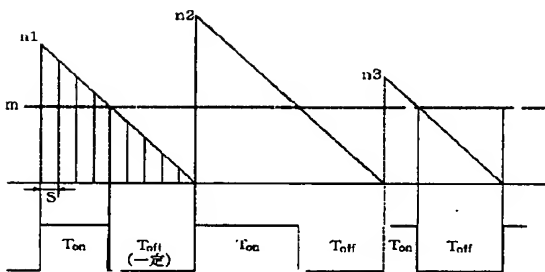
【図1】



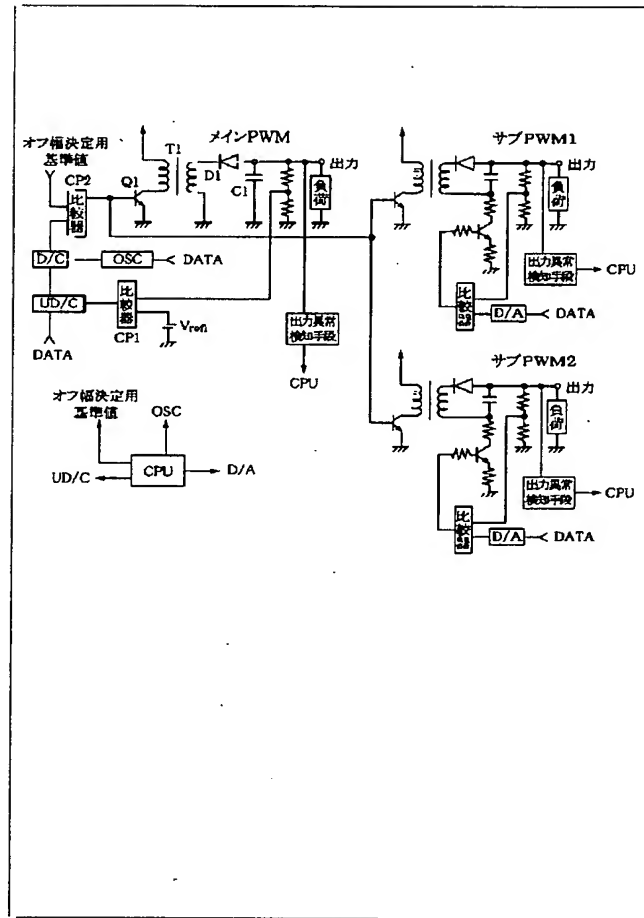
【図2】



【図5】



【図4】



【図3】

